

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-345305

(43)公開日 平成4年(1992)12月1日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 D 7/14	C	8836-5 J		
H 0 3 G 3/10	B	7239-5 J		
3/30	D	7239-5 J		

審査請求 未請求 請求項の数7 (全 18 頁)

(21)出願番号 特願平3-118710

(22)出願日 平成3年(1991)5月23日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 八木田 秀樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中塚 忠良

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 國久 武人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 宮井 暎夫

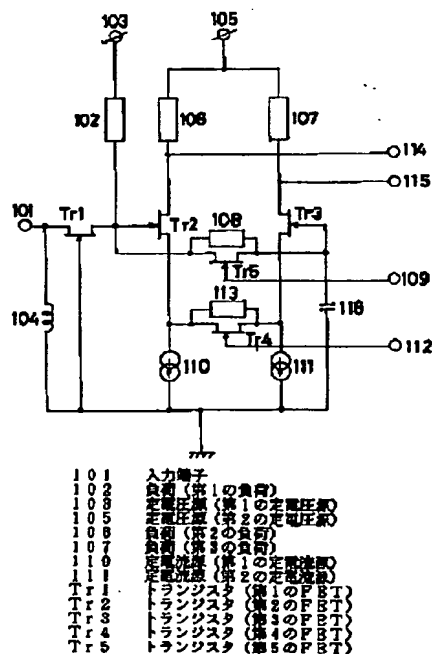
最終頁に続く

(54)【発明の名称】 チューナ用半導体装置およびチューナ

(57)【要約】

【目的】 低雑音指数と低3次歪特性、さらに低消費電力化を同時に満足できるチューナ用半導体装置と、このチューナ用半導体装置を用いて小型化と組立工程の省力化を図ることのできるチューナとを提供する。

【構成】 トランジスタTr1を用いたゲート接地回路と、トランジスタTr2、トランジスタTr3および定電流源110、111を有する差動増幅回路とからなる可変利得型増幅回路である。トランジスタTr4、Tr5は可変抵抗素子として用いられ、トランジスタTr5のゲート電圧を変化させることによって、ゲート接地回路の利得を変化させることができ、トランジスタTr4のゲート電圧を変化させることによって、差動増幅回路の利得を変化させることができる。この利得制御を同時に働かせることにより、回路全体の利得を必要な範囲で変化させることができるとともに、利得の減少に伴って3次歪が単調に改善する特性を有する。



1

【特許請求の範囲】

【請求項1】 第1のFETのソース電極を入力端子とし、前記第1のFETのドレイン電極を第1の負荷を介して第1の定電圧源に接続し、前記第1のFETのゲート電極を接地したゲート接地回路と、第2のFETのドレイン電極を第2の負荷を介して第2の定電圧源に接続し、第2のFETのソース電極を第1の定電流源に接続し、第3のFETのドレイン電極を第3の負荷を介して前記第2の定電圧源に接続し、前記第3のFETのソース電極を第2の定電流源に接続し、前記第2のFETのソース電極と前記第3のFETのソース電極との間に第4のFETを接続した差動増幅回路とからなり、前記ゲート接地回路の第1のFETのドレイン電極と前記差動増幅回路の第2のFETのゲート電極とを接続し、前記第2のFETのゲート電極と前記第3のFETのゲート電極との間に第5のFETを接続したチューナ用半導体装置。

【請求項2】 第1のFETのソース電極を入力端子とし、前記第1のFETのドレイン電極を第1の負荷を介して第1の定電圧源に接続し、第2のFETを前記第1の負荷に並列に接続し、前記第1のFETのゲート電極を接地したゲート接地回路と、第3のFETのドレイン電極を第2の負荷を介して第2の定電圧源に接続し、第3のFETのソース電極を定電流源に接続し、第4のFETのドレイン電極を第3の負荷を介して前記第2の定電圧源に接続し、第4のFETのソース電極を前記定電流源に接続し、前記第3のFETのドレイン電極と前記第4のFETのドレイン電極との間に第5のFETを接続した差動増幅回路とからなり、前記ゲート接地回路の第1のFETのドレイン電極と前記差動増幅回路の第3のFETのゲート電極とを接続し、前記第3のFETのゲート電極と前記第4のFETのゲート電極との間に第4の負荷を接続したチューナ用半導体装置。

【請求項3】 第1のFETのソース電極を入力端子とし、前記第1のFETのドレイン電極を第1の負荷を介して第1の電圧源に接続し、第2のFETを前記第1の負荷に並列に接続し、前記第1のFETのゲート電極を接地したゲート接地回路と、第3のFETのドレイン電極を第2の負荷を介して第2の定電圧源に接続し、前記第3のFETのソース電極を第1の定電流源に接続し、第4のFETのドレイン電極を第3の負荷を介して第2の定電圧源に接続し、前記第4のFETのソース電極を第2の定電流源に接続し、前記第3のFETのソース電極と前記第4のFETのソース電極との間に第5のFETを接続した差動増幅回路とからなり、前記ゲート接地回路の第1のFETのドレイン電極と前記差動増幅回路の第3のFETのゲート電極とを接続し、前記第3のFETのゲート電極と前記第4のFETのゲート電極との間に第4の負荷を接続したチューナ用半導体装置。

【請求項4】 第1のFETのソース電極を入力端子と

2

し、前記第1のFETのドレイン電極を第1の負荷を介して定電圧源に接続し、第2のFETを前記第1の負荷に並列に接続し、前記第1のFETのゲート電極を接地したゲート接地回路と、第3のFETのソース電極を第1の定電流源に接続し、第4のFETのソース電極を第2の定電流源に接続し、前記第3のFETのソース電極と前記第4のFETのソース電極との間に第5のFETを接続した差動増幅回路と、第6のFETのドレイン電極と第7のFETのドレイン電極とを前記定電圧源に接続し、第8のFETのドレイン電極と第9のFETのドレイン電極とを第2の負荷を介して前記定電圧源に接続し、前記第6のFETのソース電極と前記第8のFETのソース電極とを接続し、前記第7のFETのソース電極と前記第9のFETのソース電極とを接続し、前記第6のFETのゲート電極と前記第9のFETのゲート電極とを局部発振信号の第1の入力端子とし、前記第7のFETのゲート電極と前記第8のFETのゲート電極とを前記局部発振信号の第2の入力端子としたダブルバランスドミキサ回路とからなり、前記ゲート接地回路の第1のFETのドレイン電極と前記差動増幅回路の第3のFETのゲート電極とを接続し、前記第3のFETのゲート電極と前記第4のFETのゲート電極との間に第3の負荷を接続し、前記第6および第8のFETのソース電極と前記第3のFETのドレイン電極とを接続し、前記第7および第9のFETのソース電極と前記第4のFETのドレイン電極とを接続したチューナ用半導体装置。

【請求項5】 第1のFETのソース電極を入力端子とし、前記第1のFETのドレイン電極を第1の負荷を介して定電圧源に接続し、第2のFETを前記第1の負荷に並列に接続し、前記第1のFETのゲート電極を接地したゲート接地回路と、第3のFETのソース電極を定電流源に接続し、第4のFETのソース電極を前記定電流源に接続し、前記第3のFETのドレイン電極と前記第4のFETのドレイン電極との間に第5のFETを接続した差動増幅回路と、第6のFETのドレイン電極と第7のFETのドレイン電極とを前記定電圧源に接続し、第8のFETのドレイン電極と第9のFETのドレイン電極とを第2の負荷を介して前記定電圧源に接続し、前記第6のFETのソース電極と前記第8のFETのソース電極とを接続し、前記第7のFETのソース電極と前記第9のFETのソース電極とを接続し、前記第6のFETのゲート電極と前記第9のFETのゲート電極とを局部発振信号の第1の入力端子とし、前記第7のFETのゲート電極と前記第8のFETのゲート電極とを前記局部発振信号の第2の入力端子としたダブルバランスドミキサ回路とからなり、前記ゲート接地回路の第1のFETのドレイン電極と前記差動増幅回路の第3のFETのゲート電極とを接続し、前記第3のFETのゲート電極と前記第4のFETのゲート電極との間に第3の負荷を接続し、前記第6および第8のFETのソース電

3

極と前記第3のFETのドレイン電極とを接続し、前記第7および第9のFETのソース電極と前記第4のFETのドレイン電極とを接続したチューナ用半導体装置。

【請求項6】 第1のFETのソース電極を入力端子とし、前記第1のFETのドレイン電極を第1の負荷を介して定電圧源に接続し、前記第1のFETのゲート電極を接地したゲート接地回路と、第2のFETのソース電極を第1の定電流源に接続し、第3のFETのソース電極を第2の定電流源に接続し、前記第2のFETのソース電極と前記第3のFETのソース電極との間に第4のFETを接続した差動増幅回路と、第5のFETのドレイン電極と第6のFETのドレイン電極とを前記定電圧源に接続し、第7のFETのドレイン電極と第8のFETのドレイン電極とを第2の負荷を介して前記定電圧源に接続し、前記第5のFETのソース電極と前記第7のFETのソース電極とを接続し、前記第6のFETのソース電極と前記第8のFETのソース電極とを接続し、前記第5のFETのゲート電極と前記第8のFETのゲート電極とを局部発振信号の第1の入力端子とし、前記第6のFETのゲート電極と前記第7のFETのゲート電極とを前記局部発振信号の第2の入力端子としたダブルバランスドミキサ回路からなり、前記ゲート接地回路の第1のFETのドレイン電極と前記差動増幅回路の第2のFETのゲート電極とを接続し、前記第2のFETのゲート電極と前記第3のFETのゲート電極との間に第9のFETを接続し、前記第5および第7のFETのソース電極と前記第2のFETのドレイン電極とを接続し、前記第6および第8のFETのソース電極と前記第3のFETのドレイン電極とを接続したチューナ用半導体装置。

【請求項7】 請求項1、請求項2、請求項3、請求項4、請求項5または請求項6記載のチューナ用半導体装置を搭載したことを特徴とするチューナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は低雑音・低3次歪しかも低消費電力の衛星放送用などテレビジョン受像機のチューナ（以下「TVチューナ」という）に用いるチューナ用半導体装置およびチューナに関するものである。

【0002】

【従来の技術】 従来の技術によるTVチューナ回路のブロック図を衛星放送受信用の屋内TVチューナ（BSチューナ）を例にとって図11に示す。同図に於て1001は屋外ユニットからの入力端子、1002はバンドパスフィルタ、1003は広帯域RFアンプ、1004は可変減衰器、1005はミキサ回路、1006は可変利得型IFアンプ、1007はバンドパスフィルタ、1008はFM復調器、1009は映像信号出力端子であり、さらに1010は局発信号のパッファ回路、1011は局部発振回路、1012は発振周波数安定化のフェ

4

イズロックループ（PLL）回路である。

【0003】 TVチューナ回路には使用状況によって入力信号強度が大きく異なる。一般家庭の利用には-60dBm~-40dBmの信号強度であるが、共同受信システム等の場合には0dBm程度の入力が入る場合がある。過大入力の場合、相異なるチャンネル信号の3次歪が帯域内に入り混交調の原因となる。この為に可変減衰器や可変利得型アンプを用い、過大入力信号を減衰させて映像信号の歪を防止する必要がある。TVチューナには如何なる入力信号強度に於ても十分な3次歪抑圧比を確保することが要求される。

【0004】 図11に示した従来例では入力回路部分の可変減衰器としてRFアンプ1003、PINダイオードからなる可変減衰器1004および可変利得型IFアンプ1006によって過大入力を防止している。この場合、入力信号が微弱な場合には可変減衰器1004の減衰量を0dBとし、広帯域RFアンプ1003によって信号が増幅されるが、このとき広帯域RFアンプ1003には雑音指数のよいことが要求される。一方過大入力信号が入力した場合、可変減衰器1004の減衰量を例えば-40dBにして過大信号がミキサ回路1005に入力されるのを防ぐが、この場合でもRFアンプ1003には過大入力信号が入力されることになる。この為RFアンプ1003には優れた3次歪特性と優れた混交調特性を同時に要求されるが、実際には低雑音特性と低3次歪特性を同時に満足させる為に消費電流の多い動作点で使用するが、どちらかの特性を重視するなど、チューナの高性能化と低消費電力化の妨げとなっている。

【0005】 また従来の技術に於いて図12（a）に示すデュアルゲートFETを用いた可変利得型RFアンプを用い、図11のPINダイオードからなる可変減衰器1004と置き換えた例もある。図12（a）は可変利得型RFアンプの回路例で、同図（b）はこの回路の利得に対する3次歪抑圧比（dBc、-20dBm入力時）と消費電流（mA）を示す図である。

【0006】 このデュアルゲートFETを用いた可変利得型RFアンプを用いた場合、1段の増幅回路に於いても利得可変幅が30dB~40dBと広く取る事ができる。

【0007】

【発明が解決しようとする課題】 しかし一方で、入力インピーダンスが減衰量の変化に伴って変化する事、および図12（b）に示すように3次歪が利得の減少に伴って複雑に変化し、しかも利得の0~20dBの範囲で利得の減少に伴って3次歪抑圧比が悪化するため過大入力信号時に利得を下げて歪特性が改善されない事、利得の変化によってFETのIdsが大きく変化する為、抵抗負荷では出力の直流バイアスを一定にする事が困難である事、などの問題があった。デュアルゲートFETの利得を下げた場合に3次歪特性が悪化するのは、第2ゲ

ートによるIdsの絞り込みによって動作点がFETの非飽和領域に入るためである。

【0008】さらに従来のチューナ回路は、個別素子をプリント基板上で集積化したもので大量生産する場合には組立工数が削減できず、また調整力所が多い為、TVチューナの組立工程の効率化と小型化に限界がある。このように、従来の技術の可変利得型の増幅器およびミキサ回路方式に於いては、TVチューナ用として要求される低雑音指数と低3次歪特性、さらに低消費電力化を同時に満足させることが困難であり、また組立工程の省力化と小型化が困難であった。

【0009】この発明の目的は、低雑音指数と低3次歪特性、さらに低消費電力化を同時に満足できるチューナ用半導体装置を提供することと、このチューナ用半導体装置を用いて小型化と組立工程の省力化を図ることのできるチューナを提供することである。

【0010】

【課題を解決するための手段】請求項1記載のチューナ用半導体装置は、ゲート接地回路と差動増幅回路とを備えている。ゲート接地回路は、第1のFETのソース電極を入力端子とし、第1のFETのドレイン電極を第1の負荷を介して第1の定電圧源に接続し、第1のFETのゲート電極を接地している。

【0011】差動増幅回路は、第2のFETのドレイン電極を第2の負荷を介して第2の定電圧源に接続し、第2のFETのソース電極を第1の定電流源に接続し、第3のFETのドレイン電極を第3の負荷を介して第2の定電圧源に接続し、第3のFETのソース電極を第2の定電流源に接続し、第2のFETのソース電極と第3のFETのソース電極との間に第4のFETを接続している。

【0012】そして、ゲート接地回路の第1のFETのドレイン電極と差動増幅回路の第2のFETのゲート電極とを接続し、第2のFETのゲート電極と第3のFETのゲート電極との間に第5のFETを接続している。請求項2記載のチューナ用半導体装置は、ゲート接地回路と差動増幅回路とを備えている。

【0013】ゲート接地回路は、第1のFETのソース電極を入力端子とし、第1のFETのドレイン電極を第1の負荷を介して第1の定電圧源に接続し、第2のFETを第1の負荷に並列に接続し、第1のFETのゲート電極を接地している。差動増幅回路は、第3のFETのドレイン電極を第2の負荷を介して第2の定電圧源に接続し、第3のFETのソース電極を定電流源に接続し、第4のFETのドレイン電極を第3の負荷を介して第2の定電圧源に接続し、第4のFETのソース電極を定電流源に接続し、第3のFETのドレイン電極と第4のFETのドレイン電極との間に第5のFETを接続している。

【0014】そして、ゲート接地回路の第1のFETの

ドレイン電極と差動増幅回路の第3のFETのゲート電極とを接続し、第3のFETのゲート電極と第4のFETのゲート電極との間に第4の負荷を接続している。請求項3記載のチューナ用半導体装置は、ゲート接地回路と差動増幅回路とを備えている。

【0015】ゲート接地回路は、第1のFETのソース電極を入力端子とし、第1のFETのドレイン電極を第1の負荷を介して第1の電圧源に接続し、第2のFETを第1の負荷に並列に接続し、第1のFETのゲート電極を接地している。差動増幅回路は、第3のFETのドレイン電極を第2の負荷を介して第2の定電圧源に接続し、第3のFETのソース電極を第1の定電流源に接続し、第4のFETのドレイン電極を第3の負荷を介して第2の定電圧源に接続し、第4のFETのソース電極を第2の定電流源に接続し、第3のFETのソース電極と第4のFETのソース電極との間に第5のFETを接続している。

【0016】そして、ゲート接地回路の第1のFETのドレイン電極と差動増幅回路の第3のFETのゲート電極とを接続し、第3のFETのゲート電極と第4のFETのゲート電極との間に第4の負荷を接続している。請求項4記載のチューナ用半導体装置は、ゲート接地回路と差動増幅回路とダブルバランスドミキサ回路とを備えている。

【0017】ゲート接地回路は、第1のFETのソース電極を入力端子とし、第1のFETのドレイン電極を第1の負荷を介して定電圧源に接続し、第2のFETを第1の負荷に並列に接続し、第1のFETのゲート電極を接地している。差動増幅回路は、第3のFETのソース電極を第1の定電流源に接続し、第4のFETのソース電極を第2の定電流源に接続し、第3のFETのソース電極と第4のFETのソース電極との間に第5のFETを接続している。

【0018】ダブルバランスドミキサ回路は、第6のFETのドレイン電極と第7のFETのドレイン電極とを定電圧源に接続し、第8のFETのドレイン電極と第9のFETのドレイン電極とを第2の負荷を介して定電圧源に接続し、第6のFETのソース電極と第8のFETのソース電極とを接続し、第7のFETのソース電極と第9のFETのソース電極とを接続し、第6のFETのゲート電極と第9のFETのゲート電極とを局部発振信号の第1の入力端子とし、第7のFETのゲート電極と第8のFETのゲート電極とを局部発振信号の第2の入力端子としている。

【0019】そして、ゲート接地回路の第1のFETのドレイン電極と差動増幅回路の第3のFETのゲート電極とを接続し、第3のFETのゲート電極と第4のFETのゲート電極との間に第3の負荷を接続し、第6および第8のFETのソース電極と第3のFETのドレイン電極とを接続し、第7および第9のFETのソース電極

と第4のFETのドレイン電極とを接続している。

【0020】請求項5記載のチューナ用半導体装置は、ゲート接地回路と差動増幅回路とダブルバランスドミキサ回路とを備えている。ゲート接地回路は、第1のFETのソース電極を入力端子とし、第1のFETのドレイン電極を第1の負荷を介して定電圧源に接続し、第2のFETを第1の負荷に並列に接続し、第1のFETのゲート電極を接地している。

【0021】差動増幅回路は、第3のFETのソース電極を定電流源に接続し、第4のFETのソース電極を定電流源に接続し、第3のFETのドレイン電極と第4のFETのドレイン電極との間に第5のFETを接続している。ダブルバランスドミキサ回路は、第6のFETのドレイン電極と第7のFETのドレイン電極とを定電圧源に接続し、第8のFETのドレイン電極と第9のFETのドレイン電極とを第2の負荷を介して定電圧源に接続し、第6のFETのソース電極と第8のFETのソース電極とを接続し、第7のFETのソース電極と第9のFETのソース電極とを接続し、第6のFETのゲート電極と第9のFETのゲート電極とを局部発振信号の第1の入力端子とし、第7のFETのゲート電極と第8のFETのゲート電極とを局部発振信号の第2の入力端子としている。

【0022】そして、ゲート接地回路の第1のFETのドレイン電極と差動増幅回路の第3のFETのゲート電極とを接続し、第3のFETのゲート電極と第4のFETのゲート電極との間に第3の負荷を接続し、第6および第8のFETのソース電極と第3のFETのドレイン電極とを接続し、第7および第9のFETのソース電極と第4のFETのドレイン電極とを接続している。

【0023】請求項6記載のチューナ用半導体装置は、ゲート接地回路と差動増幅回路とダブルバランスドミキサ回路とを備えている。ゲート接地回路は、第1のFETのソース電極を入力端子とし、第1のFETのドレイン電極を第1の負荷を介して定電圧源に接続し、第1のFETのゲート電極を接地している。

【0024】差動増幅回路は、第2のFETのソース電極を第1の定電流源に接続し、第3のFETのソース電極を第2の定電流源に接続し、第2のFETのソース電極と第3のFETのソース電極との間に第4のFETを接続している。ダブルバランスドミキサ回路は、第5のFETのドレイン電極と第6のFETのドレイン電極とを定電圧源に接続し、第7のFETのドレイン電極と第8のFETのドレイン電極とを第2の負荷を介して定電圧源に接続し、第5のFETのソース電極と第7のFETのソース電極とを接続し、第6のFETのソース電極と第8のFETのソース電極とを接続し、第5のFETのゲート電極と第8のFETのゲート電極とを局部発振信号の第1の入力端子とし、第6のFETのゲート電極と第7のFETのゲート電極とを局部発振信号の第2の

入力端子としている。

【0025】そして、ゲート接地回路の第1のFETのドレイン電極と差動増幅回路の第2のFETのゲート電極とを接続し、第2のFETのゲート電極と第3のFETのゲート電極との間に第9のFETを接続し、第5および第7のFETのソース電極と第2のFETのドレイン電極とを接続し、第6および第8のFETのソース電極と第3のFETのドレイン電極とを接続している。

【0026】請求項7記載のチューナは、請求項1，請求項2，請求項3，請求項4，請求項5または請求項6記載のチューナ用半導体装置を搭載したことを特徴とする。

【0027】

【作用】請求項1記載の構成によれば、第4および第5のFETが可変抵抗素子として用いられ、第5のFETのゲート電圧を変化させることにより、ゲート接地回路の利得を変化させることができ、第4のFETのゲート電圧を変化させることにより、差動増幅回路の利得を変化させることができるため、第4および第5のFETによる利得制御を同時に働かせることによって、回路全体の利得を必要な範囲で変化することができる。しかも、利得可変範囲内において、ゲート接地回路および差動増幅回路を流れる電流は直流的に変化しないため、3次歪特性は利得の減少に伴い単調に改善される。

【0028】請求項2および請求項3記載の構成によれば、ゲート接地回路の利得制御に可変抵抗素子の第2のFETを用い、差動増幅回路の利得制御に可変抵抗素子の第5のFETを用いたものであり、第2および第5のFETによる利得制御を同時に働かせることによって、回路全体の利得を必要な範囲で変化することができる。しかも、利得可変範囲内において、ゲート接地回路および差動増幅回路を流れる電流は直流的に変化しないため、3次歪特性は利得の減少に伴い単調に改善される。

【0029】請求項4および請求項5記載の構成によれば、ゲート接地回路の利得制御に可変抵抗素子の第2のFETを用い、差動増幅回路の利得制御に可変抵抗素子の第5のFETを用いたものである。また、請求項6記載の構成によれば、ゲート接地回路の利得制御に可変抵抗素子の第9のFETを用い、差動増幅回路の利得制御に可変抵抗素子の第4のFETを用いたものである。可変抵抗素子として用いたFETによる利得制御を同時に働かせることによって、回路全体の利得を必要な範囲で変化することができる。しかも、利得可変範囲内において、ゲート接地回路および差動増幅回路を流れる電流は直流的に変化しないため、3次歪特性は利得の減少に伴い単調に改善される。

【0030】請求項7記載の構成によれば、請求項1，請求項2，請求項3，請求項4，請求項5または請求項6記載のチューナ用半導体装置を搭載することにより、3次歪特性が利得または変換利得の減少に伴い単調に改

善される。

【0031】

【実施例】

〔第1の実施例〕この発明の第1の実施例を図1を用いて説明する。この実施例は請求項1に対応するものである。図1はこの発明の第1の実施例のチューナ用半導体装置の回路図である。

【0032】このチューナ用半導体装置は、トランジスタTr1を用いたゲート接地回路と、トランジスタTr2、トランジスタTr3および定電流源110、111を有する差動増幅回路とからなる可変利得型増幅回路である。ゲート接地回路は、トランジスタTr1（第1のFET）のソース電極を入力端子101とし、ドレイン電極を負荷102（第1の負荷）を介して定電圧源103（第1の定電圧源）に接続し、ゲート電極を接地している。トランジスタTr1のソース負荷としてチョークコイル104を接続している。

【0033】差動増幅回路は、トランジスタTr2（第2のFET）のドレイン電極を負荷106（第2の負荷）を介して定電圧源105（第2の定電圧源）に接続し、ソース電極を定電流源110（第1の定電流源）に接続し、さらに、トランジスタTr3（第3のFET）のドレイン電極を負荷107（第3の負荷）を介して定電圧源105に接続し、ソース電極を定電流源111（第2の定電流源）に接続し、トランジスタTr2のソース電極とトランジスタTr3のソース電極との間に並列接続したトランジスタTr4（第4のFET）および固定抵抗113を接続している。

【0034】そして、ゲート接地回路のトランジスタTr1のドレイン電極と差動増幅回路のトランジスタTr2のゲート電極とを接続し、トランジスタTr2のゲート電極とトランジスタTr3のゲート電極との間に並列接続したトランジスタTr5（第5のFET）および固定抵抗108を接続している。なお、109、112はゲート電極端子、114、115は出力端子、116はトランジスタTr3のゲート電位を高周波的に接地するためのキャパシタである。

【0035】なお、トランジスタTr1はコンダクタンス $g_m=20\text{mS}$ 、しきい値電圧 $V_{th}=-0.4\text{V}$ である。コンダクタンス g_m は入力インピーダンスが 50Ω になるように決められた。トランジスタTr1のソース負荷は 500nH のチョークコイル104であるためにゲートには 0V バイアスがかかりトランジスタTr1には常に $I_{dss}=8\text{mA}$ の電流が流れる。トランジスタTr1のドレイン負荷102は 1mH のチョークコイルで 3.0V の定電圧源103に接続した。トランジスタTr2、トランジスタTr3はコンダクタンス $g_m=120\text{mS}$ 、しきい値電圧 $V_{th}=-0.4\text{V}$ である。2つの定電流源110および111はそれぞれ 24mA の定電流源で、ドレイン負荷106、107はそれぞれ

1mH のチョークコイルと 50Ω の抵抗を並列に接続したものであり、差動増幅回路の定電圧源105は 6.0V である。なお、キャパシタ116は 1000pF である。

【0036】また、可変抵抗素子として用いているトランジスタTr4はコンダクタンス $g_m=50\text{mS}$ でゲートバイアスによって $20\Omega\sim500\Omega$ 範囲で可変する事ができる。このときトランジスタTr4に並列で接続している固定抵抗113は 100Ω でありこの抵抗値によって可変抵抗値の上限を決定している。また同様に可変抵抗素子として用いているトランジスタTr5はコンダクタンス $g_m=70\text{mS}$ で $15\Omega\sim200\Omega$ の範囲で可変できる。同様に並列に接続した固定抵抗108はトランジスタTr5による抵抗値の可変範囲の上限を決定する。

【0037】以上のように構成された回路について、以下その動作を説明する。この回路に於て、トランジスタTr1のソース電極はチョークコイル104を介して接地されているため直流的にはトランジスタTr1の I_{dss} で駆動される。これは負荷102を準抵抗負荷としてもトランジスタTr1のドレインの直流バイアス電圧は一定となる。トランジスタTr1を用いたゲート接地回路の出力負荷は、キャパシタ116の容量値が大きいため、ドレイン負荷102と、トランジスタTr5のチャンネル抵抗と、トランジスタTr2の入力インピーダンスと、固定抵抗108の並列値で決定される。しかしトランジスタTr2の入力インピーダンスは他に比べ十分に高く、また負荷102にチョークコイルなどを用いると実質的には固定抵抗108とトランジスタTr5のチャンネル抵抗値の並列値で決定される。このためトランジスタTr5のゲート電極端子109に与える電位を変えることによって出力負荷を可変する事ができ、ゲート接地回路の利得を可変する事ができる。この場合トランジスタTr1のドレイン電位を V_{d1} 、トランジスタTr1のしきい値電圧 V_{th} を -0.6V 、ショットキーゲートのポテンシャル障壁の高さを V_b とし、ゲート電極端子109の電位を $V_{d1}-V_{th}$ とすればトランジスタTr5のチャンネル抵抗は 500Ω 程度となり、またゲート電極端子109の電位を $V_{d1}+V_b$ とすればトランジスタTr5のチャンネル抵抗を 10Ω 程度にできる。

【0038】差動増幅回路ではトランジスタTr2とトランジスタTr3のソース電極をトランジスタTr4のソースとドレインで接続し、トランジスタTr5の場合と同様に、トランジスタTr4のチャンネル抵抗をゲート電極端子112に与える電位で可変する。トランジスタTr4のチャンネル抵抗が低い場合には、トランジスタTr2とトランジスタTr3のそれぞれのソース電位は同電位で差動増幅回路の最大利得で動作する。トランジスタTr4のチャンネル抵抗が高い場合にはトランジ

スタTr 3のソース電位とトランジスタTr 2のソース電位に差が生じ、トランジスタTr 2のゲート電極の高周波信号入力に対しトランジスタTr 2のソース電位が同相で変化し負の帰還がかかり差動増幅回路の利得が減少する。

【0039】この回路全体の利得は、ゲート接地回路の利得と差動増幅回路の利得の和であり、ゲート接地回路の利得がトランジスタTr 5と固定抵抗108の並列値に比例するため固定抵抗108の抵抗値によって決定される上限値、即ちトランジスタTr 5がOFFの状態のとき最大で、トランジスタTr 5が最も低い抵抗値のとき利得は最小となる。一方、差動増幅回路においてはトランジスタTr 4と固定抵抗113の並列値の最小の時すなわちトランジスタTr 4がONのときに利得は最大となり、固定抵抗113で決定される最大値のとき即ちトランジスタTr 4がOFFのときに利得は最小となる。従って、トランジスタTr 5がOFFでしかもトランジスタTr 4がONのとき回路全体の利得が最大利得となり、トランジスタTr 5がONでトランジスタTr 4がOFFのとき最小利得となり、この最大利得と最小利得の範囲内で利得を可変することができる。

【0040】以上のようにこの実施例によれば、ゲート接地回路および差動増幅回路のそれぞれの利得制御を同時に働かせることにより回路全体の利得をチューナ回路に必要な範囲で可変する事ができる。しかも上記利得可変範囲では、ゲート接地回路および差動増幅回路を流れる電流は直流的に変化せず、そのためにトランジスタTr 1、トランジスタTr 2およびトランジスタTr 3の動作点が一定であり、入力インピーダンスはまったく変化しない。これは回路の3次歪特性に於いても重要なことで、従来技術のデュアルゲートFETを用いた場合のように、FETの動作点が利得可変範囲で非線形領域に入ることが無い。従って、3次歪特性は利得減少変化にともない単調に改善される。

【0041】〔第2の実施例〕この発明の第2の実施例を図2を用いて説明する。この実施例は請求項2に対応するものである。図2はこの発明の第2の実施例のチューナ用半導体装置の回路図である。このチューナ用半導体装置は、トランジスタTr 6を用いたゲート接地回路と、トランジスタTr 8、トランジスタTr 9および定電流源210を有する差動増幅回路とからなる可変利得型増幅回路である。

【0042】ゲート接地回路は、トランジスタTr 6（第1のFET）のソース電極を入力端子201とし、ドレイン電極を負荷203（第1の負荷）を介して定電圧源202（第1の定電圧源）に接続し、さらに、トランジスタTr 7（第2のFET）を負荷203に並列に接続し、トランジスタTr 6のゲート電極を接地している。トランジスタTr 6のソース負荷としてチョークコイル215を接続している。

【0043】差動増幅回路は、トランジスタTr 8（第3のFET）のドレイン電極を負荷204（第2の負荷）を介して定電圧源205（第2の定電圧源）に接続し、ソース電極を定電流源210に接続し、さらに、トランジスタTr 9（第4のFET）のドレイン電極を負荷206（第3の負荷）を介して定電圧源205に接続し、ソース電極を定電流源210に接続し、トランジスタTr 8のドレイン電極とトランジスタTr 9のドレイン電極との間に並列接続したトランジスタTr 10（第5のFET）および固定抵抗207を接続している。

【0044】そして、ゲート接地回路のトランジスタTr 6のドレイン電極と差動増幅回路のトランジスタTr 8のゲート電極とを接続し、トランジスタTr 8のゲート電極とトランジスタTr 9のゲート電極との間に負荷208（第4の負荷）を接続している。なお、211、214はゲート電極端子、212、213は出力端子、209はトランジスタTr 9のゲート電位を高周波的に接地するためのキャパシタである。

【0045】なお、トランジスタTr 6はコンダクタンス $g_m = 20 \text{ mS}$ 、しきい値電圧 $V_{th} = -0.4 \text{ V}$ である。コンダクタンス g_m は入力インピーダンスが 50Ω になるように決められた。トランジスタTr 6のソース負荷は 500 mH のチョークコイル215であるためにゲートには 0 V バイアスがかかりトランジスタTr 6には常に $I_{dss} = 8 \text{ mA}$ の電流が流れる。トランジスタTr 6のドレイン負荷は、 1 mH のチョークコイルおよび $1 \text{ K}\Omega$ の固定抵抗を並列接続した負荷203と可変抵抗素子のトランジスタTr 7とを並列に接続したもので構成され、トランジスタTr 6はこのドレイン負荷を介して 3.0 V の定電圧源202に接続した。トランジスタTr 8、Tr 9はコンダクタンス $g_m = 120 \text{ mS}$ 、しきい値電圧 $V_{th} = -0.4 \text{ V}$ である。定電流源210は 48 mA の定電流源で、ドレイン負荷204、206はそれぞれ 1 mH のチョークコイルと 50Ω の抵抗とを並列に接続したものであり、差動増幅回路の定電圧源205は 6.0 V である。トランジスタTr 8、Tr 9のそれぞれのドレインは可変抵抗素子のトランジスタTr 10と固定抵抗207の並列接続を介して接続されている。また固定抵抗207は $10 \text{ K}\Omega$ 、キャパシタ209は 1000 pF である。

【0046】可変抵抗素子として用いているトランジスタTr 7はコンダクタンス $g_m = 50 \text{ mS}$ でゲートバイアスによって $20 \Omega \sim 500 \Omega$ 範囲で可変する事ができる。このときトランジスタTr 7と並列に接続している負荷203の $1 \text{ K}\Omega$ の固定抵抗202によって可変抵抗値の上限を決定している。また同様に可変抵抗素子として用いているトランジスタTr 10はコンダクタンス $g_m = 70 \text{ mS}$ で $15 \Omega \sim 200 \Omega$ の範囲で可変できる。同様に並列に接続した固定抵抗207はトランジスタTr 10による抵抗値の可変範囲の上限を決定する。

【0047】第2の実施例において、回路全体の利得はゲート接地回路の利得と差動増幅回路の利得の和であり、ゲート接地回路の利得は、トランジスタTr7と負荷203の並列値に比例するため負荷203の固定抵抗値によって決定される上限値、即ちトランジスタTr7がOFFの状態のとき最大で、トランジスタTr7が最も低い抵抗値のとき利得は最小となる。一方、差動増幅回路においては、トランジスタTr10と固定抵抗207の並列値の最小の時すなわちトランジスタTr10がONのときに利得は最大となり、固定抵抗207で決定される最大値のとき即ちトランジスタTr10がOFFのときに利得は最小となる。従ってトランジスタTr7がOFFでしかもトランジスタTr10がONのとき回路全体の利得が最大利得となり、トランジスタTr7がONでトランジスタTr10がOFFのとき最小利得となり、この最大利得と最小利得の範囲内で利得を可変する事ができる。

【0048】〔第3の実施例〕この発明の第3の実施例を図3を用いて説明する。この実施例は請求項3に対応するものである。図3はこの発明の第3の実施例のチューナ用半導体装置の回路図である。このチューナ用半導体装置は、トランジスタTr15を用いたゲート接地回路と、トランジスタTr11、トランジスタTr12および定電流源310、311を有する差動増幅回路とからなる可変利得型増幅回路である。

【0049】ゲート接地回路は、トランジスタTr15（第1のFET）のソース電極を入力端子301とし、ドレイン電極を負荷303（第1の負荷）を介して定電圧源304（第1の定電圧源）に接続し、さらに、トランジスタTr13（第2のFET）を負荷303に並列に接続し、トランジスタTr15のゲート電極を接地している。トランジスタTr15のソース負荷としてチョークコイル302を接続している。

【0050】差動増幅回路は、トランジスタTr11（第3のFET）のドレイン電極を負荷306（第2の負荷）を介して定電圧源305（第2の定電圧源）に接続し、ソース電極を定電流源310（第1の定電流源）に接続し、さらに、トランジスタTr12（第4のFET）のドレイン電極を負荷307（第3の負荷）を介して定電圧源305に接続し、ソース電極を定電流源311（第2の定電流源）に接続し、トランジスタTr11のソース電極とトランジスタTr12のソース電極との間に並列接続したトランジスタTr14（第5のFET）および固定抵抗309を接続している。

【0051】そして、ゲート接地回路のトランジスタTr15のドレイン電極と差動増幅回路のトランジスタTr11のゲート電極とを接続し、トランジスタTr11のゲート電極とトランジスタTr12のゲート電極との間に負荷308（第4の負荷）を接続している。なお、315、316はゲート電極端子、313、314は出

力端子、312はトランジスタTr24のゲート電位を高周波的に接地するためのキャパシタである。

【0052】なお、トランジスタTr15はコンダクタンス $g_m=20\text{mS}$ 、しきい値電圧 $V_{th}=-0.4\text{V}$ である。コンダクタンス g_m は入力インピーダンスが 50Ω になるように決められた。トランジスタTr15のソース負荷は 500nH のチョークコイル302であるためにゲートには 0V バイアスがかかりトランジスタTr15には常に $I_{dss}=8\text{mA}$ の電流が流れる。トランジスタTr15のドレイン負荷は、 1mH のチョークコイルおよび $1\text{K}\Omega$ の抵抗を並列接続した負荷303と可変抵抗素子のトランジスタTr13とを並列に接続したもので、このトランジスタTr15のドレインはこのドレイン負荷を介して 3.0V の定電圧源304に接続した。トランジスタTr11、トランジスタTr12はコンダクタンス $g_m=120\text{mS}$ 、しきい値電圧 $V_{th}=-0.4\text{V}$ である。2つの定電流源310、311はそれぞれ 2.4mA の定電流源で、ドレイン負荷306、307はそれぞれ 1mH のチョークコイルと 50Ω の抵抗とを並列に接続したものであり、差動増幅回路の定電圧源305は 6.0V である。また固定抵抗308は $10\text{K}\Omega$ 、キャパシタ312は 1000pF である。

【0053】可変抵抗素子として用いているトランジスタTr13のコンダクタンス g_m は 50mS でゲートバイアスによって $20\Omega\sim500\Omega$ 範囲で可変する事ができる。このときトランジスタTr13と並列に接続している負荷303の固定抵抗は $1\text{K}\Omega$ でありこの抵抗値によって可変抵抗値の上限を決定している。また同様に可変抵抗素子として用いているトランジスタTr14はコンダクタンス $g_m=70\text{mS}$ で $15\Omega\sim200\Omega$ の範囲で可変できる。同様に並列に接続した固定抵抗309はトランジスタTr14による抵抗値の可変範囲の上限を決定する。第3の実施例において、回路全体の利得はゲート接地回路の利得と差動増幅回路の利得の和であり、ゲート接地回路の利得は、トランジスタTr13と負荷303の並列値に比例するため負荷303の固定抵抗値によって決定される上限値、即ちトランジスタTr13がOFFの状態のとき最大で、トランジスタTr13が最も低い抵抗値のとき利得は最小となる。一方、差動増幅回路においては、可変抵抗素子トランジスタTr14と固定抵抗309の並列値の最小の時すなわちトランジスタTr14がONのときに利得は最大となり、固定抵抗309で決定される最大値のとき即ちトランジスタTr14がOFFのときに利得は最小となる。従ってトランジスタTr13がOFFでしかもトランジスタTr14がONのとき回路全体の利得が最大利得となり、トランジスタTr13がONでトランジスタTr14がOFFのとき最小利得となり、この最大利得と最小利得の範囲内で利得を可変する事ができる。

【0054】以上の第1～第3の実施例で説明した可変

利得型増幅回路であるチューナ用半導体装置の特性について、図4を参照しながら説明する。図4は利得に対する3次歪の抑圧比と雑音指数の実測値である。同図において横軸は増幅回路の利得(dB)で、縦軸は3次歪の抑圧比(dBc)と雑音指数(dB)である。図中の実線401、404はそれぞれ第1の実施例における3次歪の抑圧比、雑音指数の実測値であり、破線402、405はそれぞれ第2の実施例における3次歪の抑圧比、雑音指数の実測値であり、一点鎖線403、406はそれぞれ第2の実施例における3次歪の抑圧比、雑音指数の実測値である。それぞれの実施例によって、3次歪の抑圧比および雑音指数において若干の差がでているが、これらの差は測定評価基板によるものと考えられる。

【0055】それぞれの増幅回路の最大利得は14.2~14.8dBで、このときの3次歪の抑圧比は31~32dBcでかつ雑音指数は2.5~3.0dBであった。また最小の利得は-5.0~-4.8dBでこのとき3次歪の抑圧比は64.5~66.5dBcであり雑音指数は18.0~18.5dBであった。特に利得が約5~15dBの範囲では利得の減少に対し3次歪は約3倍の傾きで直線的に減少している。

【0056】この様に利得の減少に対し3次歪が直線的に改善する回路をTVチューナの変利得増幅回路に用いれば、過大入力時に利得を下げると同時に3次歪も同時に改善されるため、出力信号の飽和を防ぐだけでなく、多チャンネルのTVチューナに必要な混変調も防ぐことができる。このためこの発明による第1~第3の実施例のチューナ用半導体装置がTVチューナの変利得増幅回路として適したものであることが分かる。

【0057】【第4の実施例】この発明の第4の実施例を図5を用いて説明する。この実施例は請求項4に対応するものである。図5はこの発明の第4の実施例のチューナ用半導体装置の回路図である。このチューナ用半導体装置は、トランジスタTr27を用いたゲート接地回路と、トランジスタTr22、Tr23および定電流源としてトランジスタTr25、Tr26を有する差動増幅回路であるRFバッファ回路と、ダブルバランスドミキサ回路とを接続した可変変換利得型ミキサ回路である。

【0058】ゲート接地回路は、トランジスタTr27(第1のFET)のソース電極をRF入力端子514(入力端子)とし、トランジスタTr27のドレイン電極を並列接続した抵抗負荷502およびコイル503(第1の負荷)を介して定電圧源518に接続し、可変抵抗素子として用いるトランジスタTr17(第2のFET)を第1の負荷(502、503)に並列に接続し、トランジスタTr27のゲート電極を接地している。501はコイルで、トランジスタTr16はゲート接地回路のアクティブ負荷であり、トランジスタTr17、抵抗負荷502およびコイル503の並列負荷をア

クティブ負荷であるトランジスタTr16に直列に接続することによってゲート接地回路の負荷可変によって利得可変を行った。なお、515は可変抵抗素子として用いているトランジスタTr17のAGC端子である。

【0059】RFバッファ回路は、トランジスタTr22(第3のFET)のソース電極をトランジスタTr25(第1の定電流源)に接続し、トランジスタTr23(第4のFET)のソース電極をトランジスタTr26(第2の定電流源)に接続し、トランジスタTr22のソース電極とトランジスタTr23のソース電極との間に並列接続したトランジスタTr24(第5のFET)および固定抵抗511を接続した差動増幅回路である。トランジスタTr24は可変抵抗素子として用いられ、トランジスタTr24と並列に接続される固定抵抗511は、トランジスタTr24の抵抗値の上限を決定している。

【0060】ダブルバランスドミキサ回路は、トランジスタTr18(第6のFET)のドレイン電極とトランジスタTr19(第7のFET)のドレイン電極とを定電圧源518に接続し、トランジスタTr20(第8のFET)のドレイン電極とトランジスタTr21(第9のFET)のドレイン電極とを並列接続したコイル507、抵抗508、キャパシタ509からなるドレイン負荷(第2の負荷)を介して定電圧源518に接続し、トランジスタTr18のソース電極とトランジスタTr20のソース電極とを接続し、トランジスタTr19のソース電極とトランジスタTr21のソース電極とを接続し、トランジスタTr18のゲート電極とトランジスタTr21のゲート電極とを局部発振信号の第1の入力端子516とし、トランジスタTr19のゲート電極とトランジスタTr20のゲート電極とを局部発振信号の第2の入力端子517としている。なお、ドレイン負荷であるコイル507、抵抗508、キャパシタ509の並列接続によってLC共振回路構成し、IF周波数に同調している。この実施例の場合は400MHzに共振する様にパラメータが設定されている。なお、519はIF出力端子である。

【0061】そして、トランジスタTr22のゲート電極とトランジスタTr23のゲート電極との間に固定抵抗510(第3の負荷)を接続し、ダブルバランスドミキサ回路とRFバッファ回路との接続は、トランジスタTr18、20のソース電極とトランジスタTr22のドレイン電極とを接続し、トランジスタTr19、21のソース電極とトランジスタTr23のドレイン電極とを接続している。また、ゲート接地回路と差動増幅回路を接続するキャパシタ505は、トランジスタTr27のドレインに接続されているコイル503とによってピーキング回路を形成し、ゲート接地回路の高利得時の周波数特性の改善を図っている。

【0062】【第5の実施例】この発明の第5の実施例

を図6を用いて説明する。この実施例は請求項5に対応するものである。図6はこの発明の第5の実施例のチューナ用半導体装置の回路図である。このチューナ用半導体装置は、トランジスタTr38を用いたゲート接地回路と、トランジスタTr34、Tr35および定電流源としてトランジスタTr37を有する差動増幅回路であるRFバッファ回路と、ダブルバランスドミキサ回路とを接続した可変変換利得型ミキサ回路である。

【0063】ゲート接地回路は、第4の実施例と同様、トランジスタTr38（第1のFET）のソース電極をRF入力端子605（入力端子）とし、トランジスタTr38のドレイン電極を並列接続した抵抗負荷606およびコイル607（第1の負荷）を介して定電圧源618に接続し、可変抵抗素子として用いるトランジスタTr29（第2のFET）を第1の負荷（606、607）に並列に接続し、トランジスタTr38のゲート電極を接地している。601はコイルで、トランジスタTr28はゲート接地回路のアクティブ負荷であり、トランジスタTr29、抵抗負荷606およびコイル607の並列負荷をアクティブ負荷であるトランジスタTr28に直列に接続することによってゲート接地回路の負荷可変によって利得可変を行った。なお、604は可変抵抗素子として用いているトランジスタTr29のAGC端子である。

【0064】RFバッファ回路は、トランジスタTr34（第3のFET）のソース電極とトランジスタTr35（第4のFET）のソース電極をトランジスタTr37（定電流源）に接続し、トランジスタTr34のドレイン電極とトランジスタTr35のドレイン電極との間に並列接続したトランジスタTr36（第5のFET）および固定抵抗612を接続した差動増幅回路である。トランジスタTr36は可変抵抗素子として用いられ、トランジスタTr36と並列に接続される固定抵抗612は、トランジスタTr36の抵抗値の上限を決定している。

【0065】ダブルバランスドミキサ回路は、第4の実施例と同様、トランジスタTr30（第6のFET）のドレイン電極とトランジスタTr31（第7のFET）のドレイン電極とを定電圧源518に接続し、トランジスタTr32（第8のFET）のドレイン電極とトランジスタTr33（第9のFET）のドレイン電極とを並列接続したコイル609、抵抗610、キャパシタ611からなるドレイン負荷（第2の負荷）を介して定電圧源618に接続し、トランジスタTr30のソース電極とトランジスタTr32のソース電極とを接続し、トランジスタTr31のソース電極とトランジスタTr33のソース電極とを接続し、トランジスタTr30のゲート電極とトランジスタTr33のゲート電極とを局部発振信号の第1の入力端子602とし、トランジスタTr31のゲート電極とトランジスタTr32のゲート電極

とを局部発振信号の第2の入力端子603としている。なお、ドレイン負荷であるコイル609、抵抗610、キャパシタ611の並列接続によってLC共振回路構成し、IF周波数に同調している。この実施例の場合は400MHzに共振する様にパラメータが設定されている。なお、615はIF出力端子である。

【0066】そして、トランジスタTr34のゲート電極とトランジスタTr35のゲート電極との間に固定抵抗613（第3の負荷）を接続し、ダブルバランスドミキサ回路とRFバッファ回路との接続は、トランジスタTr30、32のソース電極とトランジスタTr34のドレイン電極とを接続し、トランジスタTr31、33のソース電極とトランジスタTr35のドレイン電極とを接続している。また、ゲート接地回路と差動増幅回路を接続するキャパシタ608は、トランジスタTr38のドレインに接続されているコイル607とによってピーキング回路を形成し、ゲート接地回路の高利得時の周波数特性の改善を図っている。

【0067】【第6の実施例】この発明の第6の実施例を図7を用いて説明する。この実施例は請求項6に対応するものである。図7はこの発明の第6の実施例のチューナ用半導体装置の回路図である。このチューナ用半導体装置は、トランジスタTr50を用いたゲート接地回路と、トランジスタTr44、Tr45および定電流源としてトランジスタTr48、Tr49を有する差動増幅回路であるRFバッファ回路と、ダブルバランスドミキサ回路とを接続した可変変換利得型ミキサ回路である。

【0068】ゲート接地回路は、トランジスタTr50（第1のFET）のソース電極をRF入力端子705（入力端子）とし、トランジスタTr50のドレイン電極をトランジスタTr39（第1の負荷）を介して定電圧源706に接続し、トランジスタTr50のゲート電極を接地している。701はコイルで、ドレイン負荷のトランジスタTr39はゲート接地回路のアクティブ負荷である。しかし実際の負荷インピーダンスは、可変抵抗素子として用いているトランジスタTr46（第9のFET）、抵抗負荷710およびコイル717の並列負荷とトランジスタTr39のアクティブ負荷との並列値で決定される。従ってトランジスタTr46のAGC端子715に与えるAGC電圧によってゲート接地回路の利得可変を行った。

【0069】RFバッファ回路は、トランジスタTr44（第2のFET）のソース電極をトランジスタTr48（第1の定電流源）に接続し、トランジスタTr45（第3のFET）のソース電極をトランジスタTr49（第2の定電流源）に接続し、トランジスタTr44のソース電極とトランジスタTr45のソース電極との間に並列接続したトランジスタTr47（第4のFET）および固定抵抗711を接続した差動増幅回路である。

トランジスタTr47は可変抵抗素子として用いられ、トランジスタTr47と並列に接続される固定抵抗711は、トランジスタTr47の抵抗値の上限を決定している。

【0070】ダブルバランスドミキサ回路は、トランジスタTr40（第5のFET）のドレイン電極とトランジスタTr41（第6のFET）のドレイン電極とを定電圧源706に接続し、トランジスタTr42（第7のFET）のドレイン電極とトランジスタTr43（第8のFET）のドレイン電極とを並列接続したコイル707、抵抗708、キャパシタ709からなるドレイン負荷（第2の負荷）を介して定電圧源706に接続し、トランジスタTr40のソース電極とトランジスタTr42のソース電極とを接続し、トランジスタTr41のソース電極とトランジスタTr43のソース電極とを接続し、トランジスタTr40のゲート電極とトランジスタTr43のゲート電極とを局部発振信号の第1の入力端子703とし、トランジスタTr41のゲート電極とトランジスタTr42のゲート電極とを局部発振信号の第2の入力端子704としている。なお、ドレイン負荷であるコイル707、抵抗708、キャパシタ709の並列接続によってLC共振回路構成し、IF周波数に同調している。この実施例の場合は400MHzに共振する様にパラメータが設定されている。なお、714はIF出力端子である。

【0071】そして、トランジスタTr44のゲート電極とトランジスタTr45のゲート電極との間にトランジスタTr46、抵抗負荷710およびコイル717を並列に接続し、ダブルバランスドミキサ回路とRFパッファ回路との接続は、トランジスタTr40、42のソース電極とトランジスタTr44のドレイン電極とを接続し、トランジスタTr41、43のソース電極とトランジスタTr45のドレイン電極とを接続している。また、ゲート接地回路と差動増幅回路を接続するキャパシタ702は、トランジスタTr44、Tr45のゲート間に接続されているコイル717とによってピーキング回路を形成し、ゲート接地回路の高利得時の周波数特性の改善を図っている。

【0072】以上の第4～第6の実施例で説明した可変変換利得型ミキサ回路であるチューナ用半導体装置の特性について、図8を参照しながら説明する。図8は変換利得に対する3次歪の抑圧比と雑音指数の実測値である。同図において横軸はミキサ回路の変換利得(dB)で、縦軸は3次歪の抑圧比(dBc)と雑音指数(dB)である。図中の実線801、804はそれぞれ第4の実施例における3次歪の抑圧比、雑音指数の実測値であり、破線802、805はそれぞれ第5の実施例における3次歪の抑圧比、雑音指数の実測値であり、一点鎖線803、806はそれぞれ第6の実施例における3次歪の抑圧比、雑音指数の実測値である。それぞれの実施

例によって、3次歪の抑圧比および雑音指数において若干の差がでているが、これらの差は測定誤差と考えられ、それぞれのミキサ回路の特性はほぼ同じと考えられる。

【0073】それぞれのミキサ回路の最大利得は14.2～14.8dBで、このときの3次歪の抑圧比は31～32dBcでかつ雑音指数は3.0～3.9dBであった。また最小の変換利得は-5.0～-4.8dBで、このとき3次歪の抑圧比64.5～66.5dBcであり雑音指数は17.5～18.0dBであった。特に利得が約5～15dBの範囲では変換利得の減少に対し3次歪は約3倍の傾きで直線的に減少している。

【0074】この様に変換利得の減少に対し3次歪が直線的に改善する特徴を有するミキサ回路をTVチューナに用いることは、過大入力時に変換利得を下げるると同時に3次歪も同時に改善され、出力信号の飽和を防ぐだけでなく、多チャンネルのTVチューナに必要な混変調も防ぐことができる。このためこの発明による第4～第6の実施例のチューナ用半導体装置がTVチューナの可変変換利得型ミキサ回路として非常に適したものであることが分かる。

【0075】〔第7の実施例〕この発明の第7の実施例を図面を用いて説明する。この実施例は請求項7に対応するものである。図9は第4の実施例のチューナ用半導体装置である可変変換利得型ミキサ回路と、LO発振器およびLOパッファ回路とを、GaAs半導体を用いて1チップに集積した可変変換利得型ミキサ発振器ICの回路図である。

【0076】トランジスタTr69はゲート接地回路で、935は入力端子、トランジスタTr67はアクティブ負荷であり、937、938はIC外部でコイルを接続する為の端子、トランジスタTr68は可変抵抗素子、936はゲート接地回路のAGC端子である。RFパッファ回路は、トランジスタTr62、Tr63および定電流源となるトランジスタTr65、Tr66で構成され、トランジスタTr64と抵抗素子922は可変利得用の素子であり、934はRFパッファ回路のAGC端子である。

【0077】ダブルバランスドミキサ回路は、トランジスタTr58、Tr59、Tr60、Tr61で構成される。キャパシタ925は周波数特性改善のために集積化された。また、トランジスタTr70はLO発振回路用のトランジスタであり、端子927、928、929から外部共振回路に接続される。トランジスタTr51はLO信号をPLL回路に導くための出力パッファ回路であり、931は出力端子である。トランジスタTr52、Tr53、Tr54はLO信号を平衡信号に変えると同時に増幅する差動アンプを構成し、トランジスタTr55、Tr56、Tr57はLO信号をダブルバランスドミキサ回路に供給するためのLOパッファ回路であ

る。なお、940は電源端子、930は接地端子、932、933はキャパシタを介して交流的に接地する端子、901~924、926は抵抗、939は端子、941はキャパシタである。

【0078】図10は図9に示す可変変換利得型ミキサ発振器ICを搭載した衛星放送用TVチューナである。901は入力端子であり、衛星放送の場合、屋外ユニットより出力された第1中間周波数の950~1750MHzの放送信号の入力端子である。図10において、1000が図9に示す可変変換利得型ミキサ発振器IC、1001は入力端子、1002はバンドパスフィルタ、1006は可変利得型IFアンプ、1007はIF周波数のバンドパスフィルタ、1008はFM復調器である。また1012はLO周波数の安定化のためのフェイズロックループ(PLL)回路、1009は映像信号の出力端子である。

【0079】以上のようにこの実施例によれば、図11に示す従来のTVチューナの構成におけるRFアンプ1003、可変減衰器1004、ミキサ回路1005、局部発振回路(OSC)1011およびLOバッファ回路1010を1チップに集積化し、図10に示すように、可変変換利得型ミキサ発振器IC1000としてTVチューナに搭載することができる。この結果、従来GaAs ICでは集積化が困難と考えられていたアッテネータ回路が等価的に集積化できただけでなく、従来の構成では広帯域アンプRF1003で増幅した後、可変減衰器(アッテネータ)1004で減衰させるなどの無駄を無くすることができる。また衛星放送用TVチューナを小型化し、しかも部品点数を大幅に削減することができる。

【0080】さらに、第4の実施例のチューナ用半導体装置を含む可変変換利得型ミキサ発振器IC1000は、変換利得に対する3次歪特性が変換利得の減少に対して直線的に改善するという優れた特性を有している。この結果、入力信号強度が0dBm迄の範囲で3次歪抑圧比を60dBc以上を確保することができ、低雑音指数と低3次歪特性を同時に有する高性能なチューナを実現することができる。

【0081】

【発明の効果】この発明のチューナ用半導体装置は、可変抵抗素子として用いたFETによる利得制御を同時に働かせることによって、回路全体の利得または変換利得を必要な範囲で変化することができる。しかも、利得可変範囲内において、ゲート接地回路および差動増幅回路を流れる電流は直流的に変化しないため、3次歪特性は利得または変換利得の減少に伴い単調に改善される。この結果、低雑音指数と低3次歪特性、さらに低消費電力化を満足することができる。

【0082】また、この発明のチューナは、上記発明のチューナ用半導体装置を搭載することにより、低雑音指数と低3次歪特性、さらに低消費電力化を満足すること

ができるとともに、部品点数を大幅に削減することができ、組立工程の省力化および小型化を実現することができる。

【図面の簡単な説明】

【図1】この発明による第1の実施例のチューナ用半導体装置の回路図である。

【図2】この発明による第2の実施例のチューナ用半導体装置の回路図である。

【図3】この発明による第3の実施例のチューナ用半導体装置の回路図である。

【図4】この発明による第1~第3の実施例のチューナ用半導体装置の利得に対する3次歪の抑圧比と雑音指数の実測値である。

【図5】この発明による第4の実施例のチューナ用半導体装置の回路図である。

【図6】この発明による第5の実施例のチューナ用半導体装置の回路図である。

【図7】この発明による第6の実施例のチューナ用半導体装置の回路図である。

【図8】この発明による第4~第6の実施例のチューナ用半導体装置の変換利得に対する3次歪の抑圧比と雑音指数の実測値である。

【図9】第4の実施例のチューナ用半導体装置とLO発振器およびLOバッファ回路とを1チップに集積した可変変換利得型ミキサ発振器ICの回路図である。

【図10】この発明の一実施例のチューナのブロック図である。

【図11】従来の衛星放送用TVチューナのブロック図である。

【図12】(a)は従来例におけるデュアルゲートFETを用いた可変利得型増幅回路図、(b)は(a)に示すデュアルゲートFETを用いた可変利得型増幅回路の利得に対する3次歪特性および消費電流特性図である。

【符号の説明】

101	入力端子
102	負荷(第1の負荷)
103	定電圧源(第1の定電圧源)
105	定電圧源(第2の定電圧源)
106	負荷(第2の負荷)
107	負荷(第3の負荷)
110	定電流源(第1の定電流源)
111	定電流源(第2の定電流源)
Tr1	トランジスタ(第1のFET)
Tr2	トランジスタ(第2のFET)
Tr3	トランジスタ(第3のFET)
Tr4	トランジスタ(第4のFET)
Tr5	トランジスタ(第5のFET)
201	入力端子201
202	定電圧源(第1の定電圧源)
203	負荷(第1の負荷)

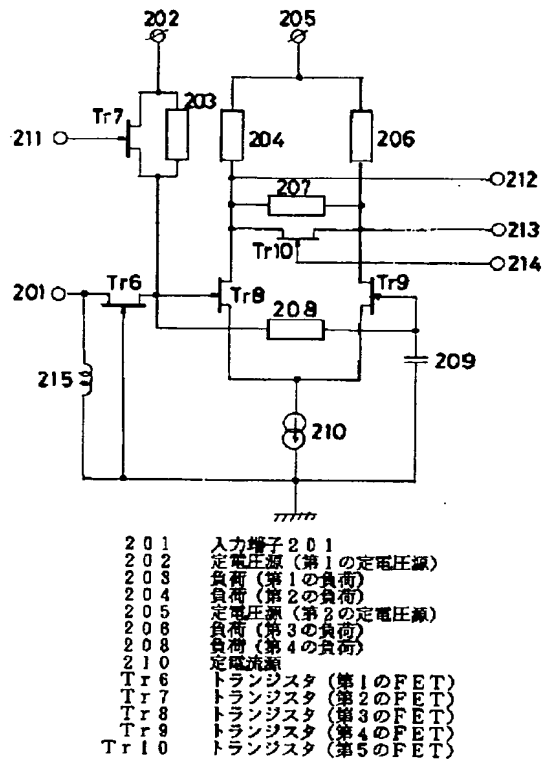
23

204 負荷 (第2の負荷)
 205 定電圧源 (第2の定電圧源)
 206 負荷 (第3の負荷)
 208 負荷 (第4の負荷)
 210 定電流源
 Tr6 トランジスタ (第1のFET)
 Tr7 トランジスタ (第2のFET)
 Tr8 トランジスタ (第3のFET)
 Tr9 トランジスタ (第4のFET)
 Tr10 トランジスタ (第5のFET)
 301 入力端子
 303 負荷 (第1の負荷)
 304 定電圧源 (第1の定電圧源)
 305 定電圧源 (第2の定電圧源)
 306 負荷 (第2の負荷)
 307 負荷 (第3の負荷)
 308 負荷 (第4の負荷)
 310 定電流源 (第1の定電流源)
 311 定電流源 (第2の定電流源)
 Tr11 トランジスタ (第3のFET)
 Tr12 トランジスタ (第4のFET)
 Tr13 トランジスタ (第2のFET)
 Tr14 トランジスタ (第5のFET)
 Tr15 トランジスタ (第1のFET)
 502 抵抗負荷 (第1の負荷)
 503 コイル (第1の負荷)
 507 コイル (第2の負荷)
 508 抵抗 (第2の負荷)
 509 キャパシタ (第2の負荷)
 510 固定抵抗 (第3の負荷)
 514 RF入力端子 (入力端子)
 516 局部発振信号の第1の入力端子
 517 局部発振信号の第2の入力端子
 518 定電圧源
 Tr17 トランジスタ (第2のFET)
 Tr18 トランジスタ (第6のFET)
 Tr19 トランジスタ (第7のFET)
 Tr20 トランジスタ (第8のFET)
 Tr21 トランジスタ (第9のFET)
 Tr22 トランジスタ (第3のFET)
 Tr23 トランジスタ (第4のFET)
 Tr24 トランジスタ (第5のFET)
 Tr25 トランジスタ (第1の定電流源)

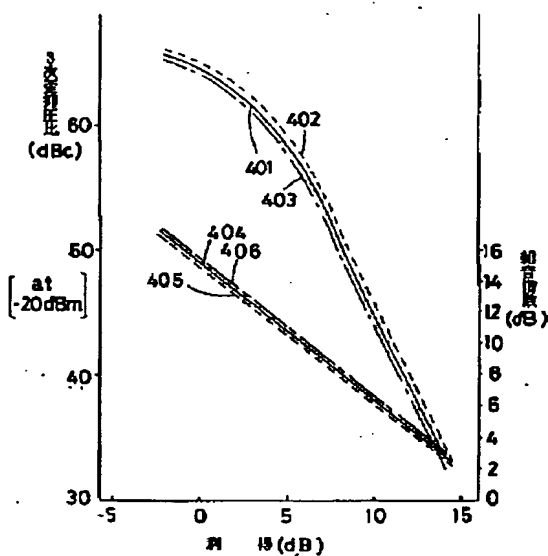
24

Tr26 トランジスタ (第2の定電流源)
 Tr27 トランジスタ (第1のFET)
 602 局部発振信号の第1の入力端子
 603 局部発振信号の第2の入力端子
 605 RF入力端子 (入力端子)
 606 抵抗負荷 (第1の負荷)
 607 コイル (第1の負荷)
 609 コイル (第2の負荷)
 610 抵抗 (第2の負荷)
 10 611 キャパシタ (第2の負荷)
 613 固定抵抗 (第3の負荷)
 618 定電圧源
 Tr29 トランジスタ (第2のFET)
 Tr30 トランジスタ (第6のFET)
 Tr31 トランジスタ (第7のFET)
 Tr32 トランジスタ (第8のFET)
 Tr33 トランジスタ (第9のFET)
 Tr34 トランジスタ (第3のFET)
 Tr35 トランジスタ (第4のFET)
 20 Tr36 トランジスタ (第5のFET)
 Tr37 トランジスタ (定電流源)
 Tr38 トランジスタ (第1のFET)
 703 局部発振信号の第1の入力端子
 704 局部発振信号の第2の入力端子
 705 RF入力端子 (入力端子)
 706 定電圧源
 707 コイル (第2の負荷)
 708 抵抗 (第2の負荷)
 709 キャパシタ (第2の負荷)
 30 Tr39 トランジスタ (第1の負荷)
 Tr40 トランジスタ (第5のFET)
 Tr41 トランジスタ (第6のFET)
 Tr42 トランジスタ (第7のFET)
 Tr43 トランジスタ (第8のFET)
 Tr44 トランジスタ (第2のFET)
 Tr45 トランジスタ (第3のFET)
 Tr46 トランジスタ (第9のFET)
 Tr47 トランジスタ (第4のFET)
 Tr48 トランジスタ (第1の定電流源)
 40 Tr49 トランジスタ (第2の定電流源)
 Tr50 トランジスタ (第1のFET)
 1000 可変変換利得型ミキサ発振器IC

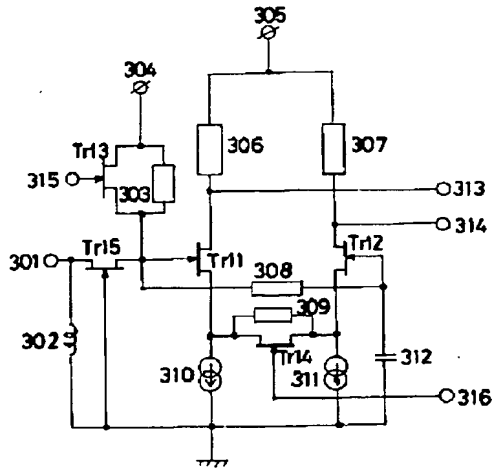
【图2】



【図4】

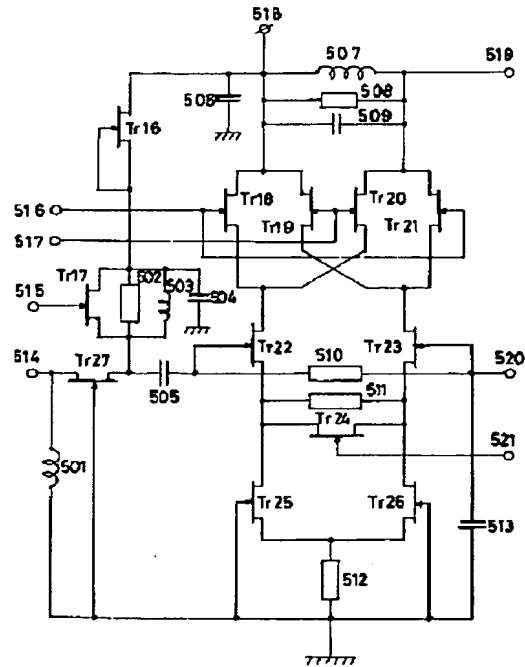
[illegible]

【図3】



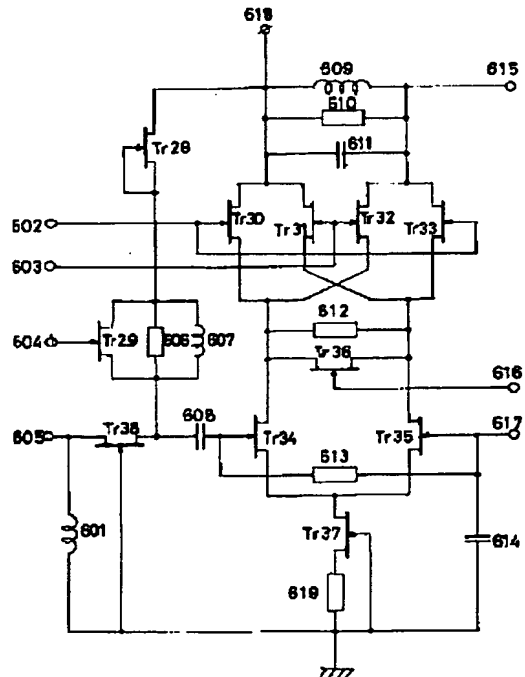
301 入力端子
303 負荷(第1の負荷)
304 定電圧源(第1の定電圧源)
305 定電圧源(第2の定電圧源)
306 負荷(第2の負荷)
307 負荷(第3の負荷)
308 負荷(第4の負荷)
309 定電流源(第1の定電流源)
310 定電流源(第2の定電流源)
311 トランジスタ(第3のFET)
312 トランジスタ(第4のFET)
Tr11 トランジスタ(第2のFET)
Tr12 トランジスタ(第3のFET)
Tr13 トランジスタ(第4のFET)
Tr14 トランジスタ(第5のFET)
Tr15 トランジスタ(第1のFET)

【図5】

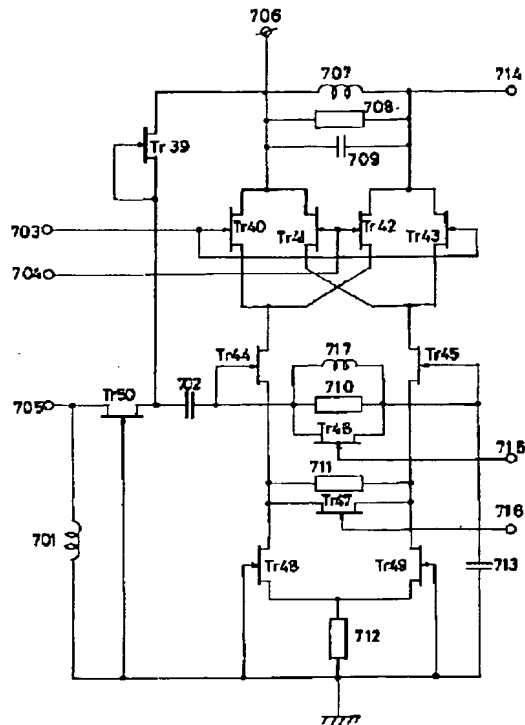


【図6】

602 局部発振信号の第1の入力端子
603 局部発振信号の第2の入力端子
605 RF入力端子(入力端子)
606 抵抗負荷(第1の負荷)
607 コイル(第1の負荷)
609 コイル(第2の負荷)
610 抵抗(第2の負荷)
611 キャパシタ(第2の負荷)
613 固定抵抗(第3の負荷)
618 定電圧源
Tr29 トランジスタ(第2のFET)
Tr30 トランジスタ(第3のFET)
Tr31 トランジスタ(第4のFET)
Tr32 トランジスタ(第5のFET)
Tr33 トランジスタ(第6のFET)
Tr34 トランジスタ(第7のFET)
Tr35 トランジスタ(第8のFET)
Tr36 トランジスタ(第9のFET)
Tr37 トランジスタ(第10のFET)
Tr38 トランジスタ(定電流源)
Tr39 トランジスタ(第1のFET)



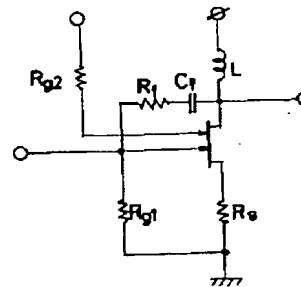
【図7】



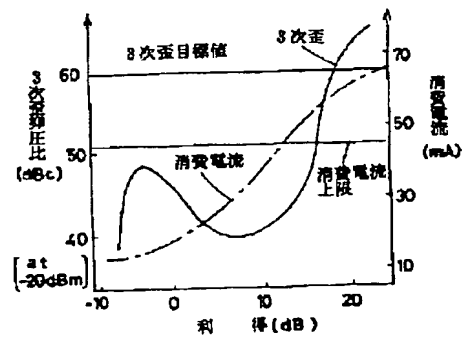
708 局部発振信号の第1の入力端子
 704 局部発振信号の第2の入力端子
 705 RF入力端子 (入力端子)
 706 定電圧源
 707 コイル (第2の負荷)
 708 抵抗 (第2の負荷)
 709 キャパシタ (第2の負荷)
 Tr39 トランジスタ (第1の負荷)
 Tr40 トランジスタ (第5のFET)
 Tr41 トランジスタ (第8のFET)
 Tr42 トランジスタ (第7のFET)
 Tr43 トランジスタ (第8のFET)
 Tr44 トランジスタ (第2のFET)
 Tr45 トランジスタ (第3のFET)
 Tr46 トランジスタ (第8のFET)
 Tr47 トランジスタ (第4のFET)
 Tr48 トランジスタ (第1の定電流源)
 Tr49 トランジスタ (第2の定電流源)
 Tr50 トランジスタ (第1のFET)

【図12】

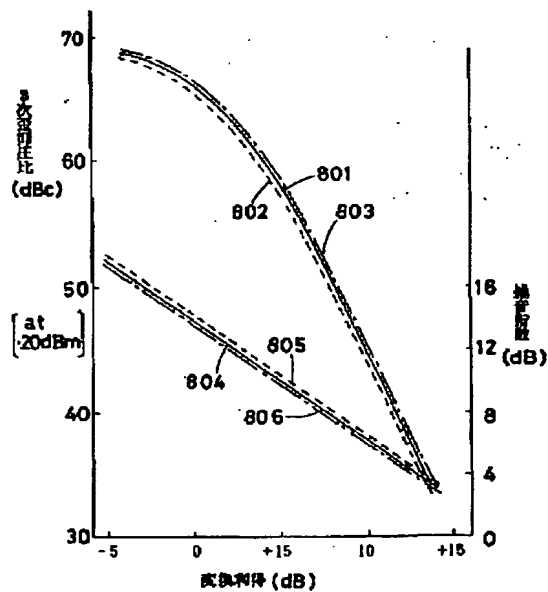
(a)



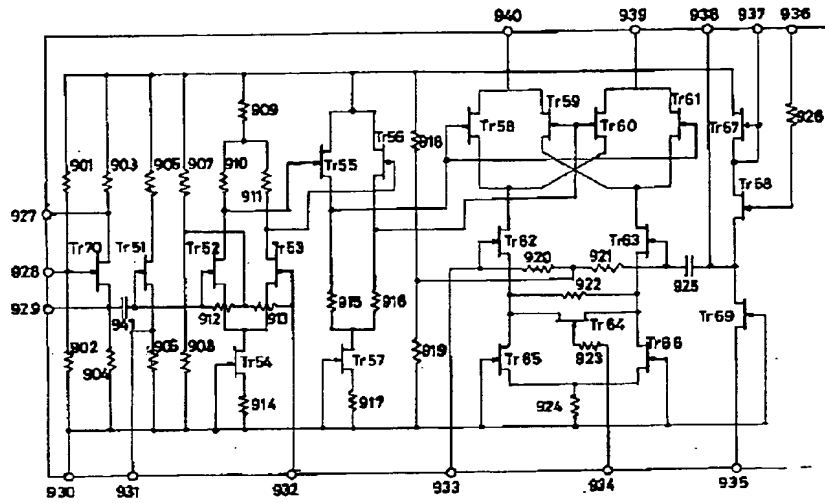
(b)



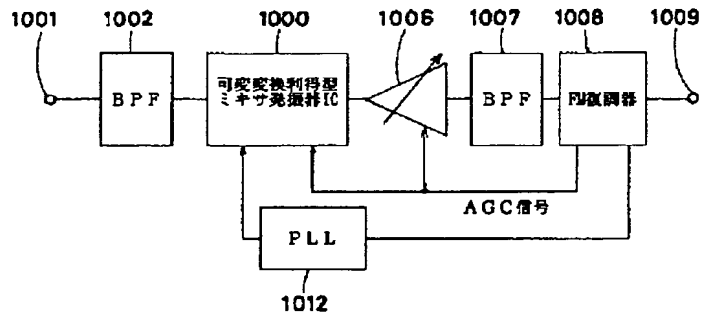
【図8】



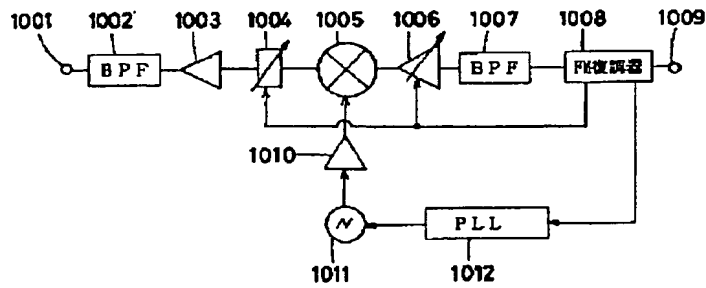
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 恒岡 道朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 堺 幸雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 八幡 和宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内